

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332201

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/82  
H01L 21/8238  
H01L 27/092

(21)Application number : 11-135086

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.05.1999

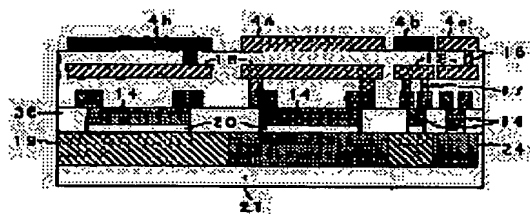
(72)Inventor : TATSUTA KAZUHISA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To control the system noise by providing logic circuits having an input/output signal transferring function and capacitive parts having a noise suppressing function for peripheral cells.

**SOLUTION:** A VDD wiring 4a, GND wiring 4b and gate electrodes 14 are combined with n-type semiconductor regions (n-source/drain) 15, vias 16, contact holes 17, a metal wiring 18, a gate oxide film 20, p-wells 19, n-wells 24 and p-source/drain regions 23 on a p-type semiconductor substrate 21 and a field oxide film. Input drive logic, output driver logic and control logic parts are formed by connecting p-channel and n-channel transistors in peripheral cell logic circuit regions through metal wirings. This allows capacitances to be inserted in VDD wirings and GND wirings in a semiconductor integrated circuit and hence control countermeasures against noises generated in the semiconductor integrated circuit can be executed at peripheral cells.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332201

(P2000-332201A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 27/04		H 0 1 L 27/04	B 5 F 0 3 8
21/822		21/82	P 5 F 0 4 8
21/82		27/08	3 2 1 B 5 F 0 6 4
21/8238			
27/092			

審査請求 未請求 請求項の数19 O L (全 14 頁)

(21) 出願番号 特願平11-135086

(22) 出願日 平成11年5月17日 (1999. 5. 17)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 立田 和久

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

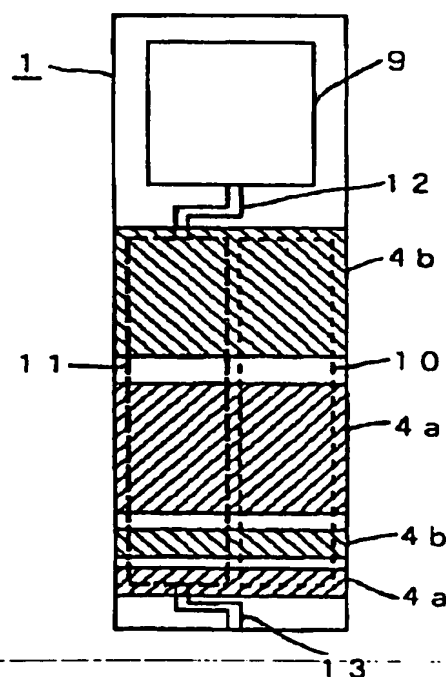
最終頁に続く

(54) 【発明の名称】 半導体集積回路およびその製造方法

(57) 【要約】

【課題】 半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル部においてノイズ発生源の至近箇所で適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路およびその製造方法を得る。

【解決手段】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セル1を備えた半導体集積回路において、前記入出力信号伝達機能を有する論理回路領域部分11と、ノイズ抑制機能を有する容量領域部分10とを、周辺セル1に設けた。



1

## 【特許請求の範囲】

【請求項 1】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けたことを特徴とする半導体集積回路。

【請求項 2】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第 1 の電源配線部分と、前記第 1 の電源配線部分に並設された第 2 の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けられた第 1 の電源配線部分と第 2 の電源配線部分との間に接続して設けたことを特徴とする半導体集積回路。

【請求項 3】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第 1 の電源配線部分と、前記第 1 の電源配線部分に並設された第 2 の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けられた第 1 の電源配線部分と第 2 の電源配線部分との間に接続して設け、しかも前記第 1 および第 2 の電源配線領域ならびにこれらの電源配線領域間に位置させたことを特徴とする半導体集積回路。

【請求項 4】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第 1 の電源配線部分と、前記第 1 の電源配線部分に並設された第 2 の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた第 1 の電源配線部分と第 2 の電源配線部分との間に接続して設けたことを特徴とする半導体集積回路。

【請求項 5】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第 1 の電源配線部分と、前記第 1 の電源配線部分に並設された第 2 の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた第 1 の電源配線部分と第 2 の電源配線部分との間に接続して設け、しかも前記第 1 および第 2 の電源配線領域ならびにこれらの電源配線領域間に位置させたことを特徴とする半導体集積回路。

【請求項 6】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、VDD 配線部分と、前記 VDD 配線部分に並設された GND 配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分

2

と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた VDD 配線部分と GND 配線部分との間に接続して設けたことを特徴とする半導体集積回路。

【請求項 7】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、VDD 配線部分と、前記 VDD 配線部分に並設された GND 配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた VDD 配線部分と GND 配線部分との間に接続して設け、しかも前記 VDD 配線領域および GND 配線領域ならびにこれらの配線領域間に位置させたことを特徴とする半導体集積回路。

【請求項 8】 前記周辺セルに、前記論理回路部分を介して接続されるパッドおよび入出力端子を設けたことを特徴とする請求項 1 ないし請求項 7 に記載の半導体集積回路。

【請求項 9】 前記周辺セルの容量部分として、p 型半導体領域内に形成された n 型半導体領域と、この n 型半導体領域に誘電体を介して電気的に結合する電極とにより構成される容量を設けたことを特徴とする請求項 1 ないし請求項 8 のいずれかに記載の半導体集積回路。

【請求項 10】 前記周辺セルの容量部分として、p ウェルに形成された n 型半導体領域と、この n 型半導体領域に誘電体を介して電気的に結合する電極とにより構成される容量を設けたことを特徴とする請求項 1 ないし請求項 8 のいずれかに記載の半導体集積回路。

【請求項 11】 前記周辺セルの容量部分として、N チャネル MOS トランジスタのゲート電極を VDD 配線部分に接続し、ソース/ドレインを GND 配線部分に接続したものを使用したことを特徴とする請求項 6 に記載の半導体集積回路。

【請求項 12】 前記周辺セルの容量部分として、p 型半導体基板に形成された n 型半導体領域とゲート酸化膜およびゲート電極とから構成される MOS キャパシタからなる容量を設けたことを特徴とする請求項 1 ないし請求項 8 のいずれかに記載の半導体集積回路。

【請求項 13】 前記周辺セルの容量部分として、第 1 のゲート電極と、第 2 のゲート電極と、前記第 1 と第 2 のゲート電極間に配置されている絶縁膜とから構成される容量を設けたことを特徴とする請求項 1 ないし請求項 8 のいずれかに記載の半導体集積回路。

【請求項 14】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、前記論理回路部分を構成する半導体領域および電極を形成する工程と、前記容量部分を構成する誘電体要素および電極を形成する工程

3

と、前記論理回路部分および容量部分の構成要素を電気的に接続する配線工程とを含むことを特徴とする半導体集積回路の製造方法。

【請求項15】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、前記論理回路部分を構成する半導体領域および電極を形成する論理回路部分形成工程と、前記容量部分を構成する誘電体要素および電極を形成する容量部分形成工程とを含み、前記論理回路部分形成工程および容量部分形成工程の後に、前記論理回路部分および容量部分の構成要素を電気的に接続する配線工程を行うことを特徴とする半導体集積回路の製造方法。

【請求項16】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、前記nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程により形成される各要素を電気的に接続する配線工程を含むことを特徴とする半導体集積回路の製造方法。

【請求項17】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、前記nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程により形成される各要素を電気的に接続する配線工程を含み、前記nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程の後に、前記配線工程を行うことを特徴とする半導体集積回路の製造方法。

【請求項18】 半導体集積回路外部と内部論理回路と

4

の入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、コンタクトホールを形成するコンタクトホール形成工程と、第1層の配線を行う第1の配線工程と、viaホールを形成するviaホール形成工程と、第2層の配線を行う第2の配線工程とを含むことを特徴とする半導体集積回路の製造方法。

【請求項19】 半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、コンタクトホールを形成するコンタクトホール形成工程と、第1層の配線を行う第1の配線工程と、viaホールを形成するviaホール形成工程と、第2層の配線を行う第2の配線工程とを含み、前記フィールド工程、nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程の後に、コンタクトホール形成工程、第1の配線工程、viaホール形成工程および第2の配線工程を行うことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、主に半導体集積回路外周部に配置され半導体集積回路と外部とに入出力信号の伝達を行うセル（以下、周辺セルという）において電源ノイズ対策を実施する機能を持つ半導体集積回路に関するものである。

【0002】 周辺セルは、ワイヤボンディング用パッド（以下、パッドという）を備え、半導体集積回路の内部論理回路からの出力を外部に伝えるドライバロジック、半導体集積回路外部からの入力を入力論理回路へ伝えるドライバロジック、および信号の入出力を制御する制御ロジックより構成されている。

【0003】

【従来の技術】 一般に、動作中の半導体集積回路はフイ

5

ズを発生し、そのノイズは信号配線および電源配線等を介して、その半導体集積回路の外へと伝搬していく。そのノイズが半導体集積回路の実装されているシステムの動作、性能に対して影響を及ぼさないようにノイズを制御する必要がある。

【0004】従来の半導体集積回路を実装基板40上に実装する場合、電源ノイズ対策として、主として図18に示すように、半導体集積回路39の外周において実装基板40上のVDD配線41a-GND配線41b間に電源・GND間容量(バイパスコンデンサ)42を挿入している。

【0005】

【発明が解決しようとする課題】上記の構成では、半導体集積回路の発生するノイズ対策を実施するために、半導体集積回路を実装する基板上にシステム本来の機能とは関係のない部品を実装する必要がある。

【0006】そのため、実装基板上の部品点数の増加および重量増加を招き、特に小型、軽量化が必要な携帯電子機器において問題点となっていた。また、半導体集積回路のパッケージとして実装基板との接続端子をパッケージ面上に格子状に配置し実装面積の削減を図った、Ball Grid Array(BGA)のようなものを採用している場合、半導体集積回路パッケージ上の端子の位置によっては、バイパスコンデンサを実装基板上において有効な位置に、つまり端子近傍に配置することができないという問題も生じていた。

【0007】この発明は、上記のような問題点を解決するためになされたものであり、半導体集積回路が発生するノイズの対策を半導体集積回路外部ではなく、内部の周辺セル部において適切に実施するための半導体集積回路およびその製造方法を提供しようとするものである。

【0008】

【課題を解決するための手段】第1の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けたものである。

【0009】第2の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設けたものである。

【0010】第3の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1-

6

の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設け、しかも前記第1および第2の電源配線領域およびこれらの電源配線領域間に位置させたものである。

【0011】第4の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設けたものである。

【0012】第5の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設け、しかも前記第1および第2の電源配線領域およびこれらの電源配線領域間に位置させたものである。

【0013】第6の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、VDD配線部分と、前記VDD配線部分に並設されたGND配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられたVDD配線部分とGND配線部分との間に接続して設けたものである。

【0014】第7の発明に係る半導体集積回路では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、VDD配線部分と、前記VDD配線部分に並設されたGND配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられたVDD配線部分とGND配線部分との間に接続して設け、しかも前記VDD配線領域およびGND配線領域ならびにこれらの配線領域間に位置させたものである。

【0015】第8の発明に係る半導体集積回路では、前記周辺セルに、前記論理回路部分を介して接続されるバ

7

ッドおよび入出力端子を設けたものである。

【0016】第9の発明に係る半導体集積回路では、前記周辺セルの容量部分として、p型半導体領域内に形成されたn型半導体領域と、このn型半導体領域に誘電体を介して電氣的に結合する電極とにより構成される容量を設けたものである。

【0017】第10の発明に係る半導体集積回路では、前記周辺セルの容量部分として、p型ウェルに形成されたn型半導体領域と、このn型半導体領域に誘電体を介して電氣的に結合する電極とにより構成される容量を設けたものである。

【0018】第11の発明に係る半導体集積回路では、前記周辺セルの容量部分として、NチャネルMOSトランジスタのゲート電極をVDD配線部分に接続し、ソース／ドレインをGND配線部分に接続したものを使用したものである。

【0019】第12の発明に係る半導体集積回路では、前記周辺セルの容量部分として、p型半導体基板に形成されたn型半導体領域とゲート酸化膜およびゲート電極とから構成されるMOSキャパシタからなる容量を設けたものである。

【0020】第13の発明に係る半導体集積回路では、前記周辺セルの容量部分として、第1のゲート電極と、第2のゲート電極と、前記第1と第2のゲート電極間に配置されている絶縁膜とから構成される容量を設けたものである。

【0021】第14の発明に係る半導体集積回路の製造方法では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、前記論理回路部分を構成する半導体領域および電極を形成する工程と、前記容量部分を構成する誘電体要素および電極を形成する工程と、前記論理回路部分および容量部分の構成要素を電氣的に接続する配線工程を含むものである。

【0022】第15の発明に係る半導体集積回路の製造方法では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、前記論理回路部分を構成する半導体領域および電極を形成する論理回路部分形成工程と、前記容量部分を構成する誘電体要素および電極を形成する容量部分形成工程とを含み、前記論理回路部分形成工程および容量部分形成工程の後に、前記論理回路部分および容量部分の構成要素を電氣的に接続する配線工程を行うようにしたものである。

【0023】第16の発明に係る半導体集積回路の製造方法では、半導体集積回路外部と内部論理回路との入出

8

力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウェルを形成するnウェル形成工程と、pウェルを形成するpウェル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、前記nウェル形成工程、pウェル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程により形成される各要素を電氣的に接続する配線工程を含むものである。

【0024】第17の発明に係る半導体集積回路の製造方法では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウェルを形成するnウェル形成工程と、pウェルを形成するpウェル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、前記nウェル形成工程、pウェル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程により形成される各要素を電氣的に接続する配線工程を含み、前記nウェル形成工程、pウェル形成工程、ゲート電極形成工程、nソース／ドレイン形成工程およびpソース／ドレイン形成工程の後に、前記配線工程を行うようにしたものである。

【0025】第18の発明に係る半導体集積回路の製造方法では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウェルを形成するnウェル形成工程と、pウェルを形成するpウェル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース／ドレインを形成するnソース／ドレイン形成工程と、pソース／ドレインを形成するpソース／ドレイン形成工程とを含むとともに、コンタクトホールを形成するコンタクトホール形成工程と、第1層の配線を行う第1の配線工程と、viaホールを形成するviaホール形成工程と、第2層の配線を行う第2の配線工程を含むものである。

【0026】第19の発明に係る半導体集積回路の製造

9

方法では、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウェルを形成するnウェル形成工程と、pウェルを形成するpウェル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース/ドレインを形成するnソース/ドレイン形成工程と、pソース/ドレインを形成するpソース/ドレイン形成工程とを含むとともに、コンタクトホールを形成するコンタクトホール形成工程と、第1層の配線を行う第1の配線工程と、viaホールを形成するviaホール形成工程と、第2層の配線を行う第2の配線工程とを含み、前記フィールド工程、nウェル形成工程、pウェル形成工程、ゲート電極形成工程、nソース/ドレイン形成工程およびpソース/ドレイン形成工程の後に、コンタクトホール形成工程、第1の配線工程、viaホール形成工程および第2の配線工程を行うようにしたものである。

【0027】

【発明の実施の形態】実施の形態1.この発明の一実施形態を図を用いて説明する。図1は、この発明の一実施形態に係る半導体集積回路の全体構成を示したものである。図1において、Aは半導体チップ、1は半導体集積回路外部との入出力回路を備え、かつノイズ対策用の容量を内蔵する周辺セル、3aは周辺セル1を隣接するよう並べた横方向の周辺セル列、3bは同じく縦方向の周辺セル列、6は内部論理回路である。

【0028】半導体集積回路外部との入出力回路およびノイズ対策用の容量を備える周辺セル1は内部論理回路6と配線7により接続されている。そして、4a、4bは、それぞれ横方向周辺セル列3aおよび縦方向周辺セル列3b内部における周辺セル1の第1および第2の電源配線を構成するVDD配線、GND配線であり、隣接する別の周辺セル1のVDD配線4a、GND配線4bと相互に接続されている。更に、周辺セル列3a、3b内部における周辺セル1のVDD配線4a、GND配線4bは、周辺セル列3a、3bの相互間に設けられたVDD配線8a、GND配線8bにより相互に接続されている。

【0029】図2は、半導体集積回路外部との入出力回路およびノイズ対策用の容量を内蔵するセル1の構成を示す平面図である。図2において、9はパッド、4a、4bはVDD配線およびGND配線であり、点線で囲まれている10の領域は容量領域、11の領域は周辺セル論理回路領域である。容量領域10には、電源ノイズ対策用のバイパスコンデンサとして機能するMOS (Metal Oxide Semiconductor) 構造からなる容量が配置されており、一方の電極をVDD-

10

配線4aに、他方の電極をGND配線4bに接続されている。

【0030】周辺セル論理回路領域11は、CMOS (Complementary Metal Oxide Semiconductor) 回路からなり、半導体集積回路の内部論理回路からの出力を外部に伝えるドライバロジック、半導体集積回路外部からの入力を入力内部論理回路6へ伝えるドライバロジック、および信号の入出力を制御する制御ロジックより構成されている。周辺セル論理回路領域11を構成するCMOS回路のVDD、GNDは、容量領域10と同じVDD配線4aおよびGND配線4bに接続される。

【0031】必要に応じて、パッド9と周辺セル論理回路領域11を接続する配線12、周辺セル論理回路領域11と内部論理回路とを接続するための配線引き出し口13 (以下、周辺セル上入出力端子という) が形成される。パッド9と周辺セル上入出力信号端子13 (およびこれと接続される内部論理回路6) は周辺セル論理回路領域11を介して接続され、入力または出力信号が伝達される。

【0032】図3は、図2に示す周辺セル1の容量領域10におけるレイアウトの一例を示す平面図である。図3において、4aはVDD配線、4bはGND配線、14はゲート電極、15はn型半導体領域 (nソース/ドレイン)、16はviaホール、17はコンタクトホールを示している。

【0033】図4、図5はそれぞれ図3で示したこの容量のIV-IV断面およびV-V断面を示したものである。p型半導体基板21のpウェル19に対して、nソース/ドレイン15が形成されており、nソース/ドレイン15間のチャネル領域上にゲート酸化膜20およびゲート電極14を形成されたNチャネルMOSトランジスタの構成を持っている。

【0034】ゲート電極14はVDD配線4aに、nソース/ドレイン15はGND配線4bに接続されており、図6に示される通り、このNチャネルトランジスタ22は常にON状態で使用され、ゲート酸化膜20を誘導体とし、ゲート電極14とnソース/ドレイン15間の領域に形成される反転層を電極とする容量として機能する。

【0035】図では、VDD配線、GND配線が第2層目の金属配線となっているため、第1層目の金属配線18を介してゲート電極14、nソース/ドレイン15に接続されているが、これは何層目の金属配線をVDD配線、GND配線に使用するか限定するものではない。

【0036】図7は、図2の周辺セル1の周辺セル論理回路領域11の平面図を示したものである。図8、図9 (a) および図9 (b) は、それぞれ、図7におけるVI-II-VIII断面、IX (a) -IX (a) 断面およびIX (b) -IX (b) 断面を示したものである。

50



11

【0037】周辺セル論理回路領域11に形成される、半導体集積回路の内部論理回路からの出力を外部に伝えるドライバロジック、半導体集積回路外部からの入力を内部論理回路へ伝えるドライバロジック、および信号の入出力を制御する制御ロジックはCMOS回路よりなるものであり、従来より使用されている構成のものである。

【0038】図7、図8、図9(a)および図9(b)において、4aはVDD配線、4bはGND配線、14はゲート電極、15はn型半導体領域(nソース/ドレイン)、16はviaホール、17はコンタクトホール、18は金属配線、20はゲート酸化膜、21はp型半導体基板、19、24はそれぞれp型半導体基板21上のpウエル、nウエル、23はpソース/ドレイン領域、36はフィールド酸化膜である。図では、回路構成の詳細は示されていないが、入力ドライバロジック、出力ドライバロジックおよび制御ロジックは周辺セル論理回路領域11内のPチャネルおよびNチャネルトランジスタを金属配線で接続することにより構成されている。

【0039】上記のような構成により半導体集積回路内のVDD配線およびGND配線に容量(バイパスコンデンサ)を挿入することができるため、周辺セル部において半導体集積回路内部で発生したノイズの抑制対策の実施が可能となる。この結果、ノイズ対策のため半導体集積回路外部に必要であった部品(容量)の削減が可能になる。

【0040】また、半導体集積回路において半導体集積回路外部との入出力回路を備える周辺セル部は、外部に対する信号の出力のため電流駆動能力の大きいトランジスタを使用しており、半導体集積回路を使用したシステムで問題となるノイズの有力な発生源の一つである。図2に示される周辺セル内に容量を配置する構成により、ノイズ源により近い位置に容量(バイパスコンデンサ)を付加できるため、より高いノイズ抑制効果が期待できる。

【0041】さらに、図2の周辺セルの構成の利点は、ノイズ対策用の容量の配置を容易にGate Array(GA)方式またはEmbedded Cell Array(ECA)方式の設計手法に適用できることである。GA方式、ECA方式の設計手法では、半導体集積回路の回路構成を、図10および図11に概要を示す半導体集積回路の製造プロセスにおいて、コンタクトホール形成以降の金属配線工程(以下、スライス工程という)で変更可能なように、コンタクトホール形成以前の図10のフィールド工程S25からpソース/ドレイン形成工程S30までの工程(以下、マスタ工程という)を設計する。これにより、図10の工程分の設計が完了した時点でウエハプロセスを開始することが可能となり、ウエハプロセスが図10の工程を進んでいる間にコ

12

きる。これによって、半導体集積回路の開発期間の短縮をはかることができる。

【0042】ここで、図10および図11に示す半導体集積回路の製造プロセスフローについて説明する。図10において、ステップS25はp型半導体基板にフィールド酸化膜を形成するフィールド工程、ステップS26はnウエルを形成するnウエル形成工程、ステップS27はpウエルを形成するpウエル形成工程、ステップS28はゲート電極を形成するゲート電極形成工程、ステップS29はnソース/ドレインを形成するnソース/ドレイン形成工程、ステップS30はpソース/ドレインを形成するpソース/ドレイン形成工程である。これらステップS25に始まり図の矢印に従って進行するステップS25～S30の工程は、いわゆるマスタ工程を構成する。

【0043】図11において、ステップS31はコンタクトホールを形成するコンタクトホール形成工程、ステップS32は第1層の配線を行う第1の金属配線工程、ステップS33はviaホールを形成するviaホール形成工程、ステップS34は第2層の配線を行う第2の金属配線工程である。これらステップS31に始まり図の矢印に従って進行するステップS31～S34の工程は、いわゆるスライス工程を構成する。

【0044】フィールド工程S25、nウエル形成工程S26、pウエル形成工程S27、ゲート電極形成工程S28、nソース/ドレイン形成工程S29およびpソース/ドレイン形成工程S30からなるマスタ工程は、論理回路領域部分を構成する半導体領域および電極を形成する論理回路部分形成工程と、前記容量領域部分を構成する誘電体要素および電極を形成する容量部分形成工程とを含むものである。また、コンタクトホール形成工程S31、第1の金属配線工程S32、viaホール形成工程S33および第2の金属配線工程S34からなるスライス工程は、全体として、前記マスタ工程によって形成された論理回路領域部分および容量領域部分の構成要素を電気的に接続する配線工程を含むものである。そして、前記マスタ工程としての論理回路領域部分形成工程および容量領域部分形成工程の後に、論理回路領域部分および容量領域部分の構成要素を電気的に接続する前記スライス工程としての配線工程を行うことにより、周辺セルにおいて入出力信号伝達機能を奏する論理回路部分と、ノイズ抑制機能を奏する容量部分を完成するのである。

【0045】図2の構成の周辺セルをGate Array(GA)方式またはEmbedded Cell Array(ECA)方式の設計手法に適用した場合、周辺セルが半導体集積回路の入出力端子に割り当てられても、半導体集積回路外部と内部論理回路6との信号の入出力に実際には使用されないNC(No Contact)端子に割り当てられても、また半導体集積回路外

コンタクトホール形成以降の工程分の設計を行うことがで

13

部との電源の接続に使用されるVDD、GND接続端子に割り当てられても、何れの場合でも周辺セル内に容量を形成しノイズ対策用にVDD配線-GND配線間に接続することが可能である。周辺セルの用途により容量の形成、接続ができないということはない。これは、容量の形成がマスク工程で完了しているためである。

【0046】入出力端子に割り当てられた周辺セルの場合ならば、電源ノイズ対策を実施しつつ半導体集積回路外部と内部論理回路の入力および出力信号の伝搬を行うようにするため、スライス工程においてVDD配線4aおよびGND配線4bに対し容量の電極の接続を実施した上で、周辺セル論理回路領域11内の回路構成に必要な金属配線、パッド9と周辺セル論理回路領域11を接続する配線12と、周辺セル論理回路領域11と内部論理回路6とを接続する周辺セル入出力信号端子13を形成すればよい。

【0047】また、NC(No Contact)端子に割り当てられた周辺セルの場合、パッド9と周辺セル論理回路領域11を接続する配線12と、周辺セル論理回路領域11の回路構成に必要な金属配線、周辺セル上入出力信号端子13の形成を行う必要はなく、VDD配線-GND配線間容量挿入のため、スライス工程においてVDD配線4aおよびGND配線4bに対し容量の電極の接続のみを実施すればよい。

【0048】半導体集積回路外部との電源の接続に使用されるVDD、GND接続端子に割り当てられた周辺セルならば、同様にスライス工程においてVDD配線4aおよびGND配線4bに対し容量の電極を接続した上で、パッド9とVDD配線4aあるいはGND配線4bの接続をすればよい。

【0049】上記においては半導体集積回路が外部に対して放射するノイズを抑制する効果を述べたが、周辺セル10によりVDD配線-GND配線間に接続される容量は逆に半導体集積回路外部より電源配線を半導体集積回路の内部論理回路へと伝わってくるノイズも抑制する。従って、半導体集積回路外部のノイズによる内部論理回路の誤動作を防止する効果もある。

【0050】この発明による実施の形態1によれば、半導体集積回路外部と内部論理回路6との入出力信号の伝達を行う周辺セル1を備えた半導体集積回路において、VDD配線4a部分と、VDD配線4a部分に並設されたGND配線4b部分とを前記周辺セル1に設けるとともに、前記入出力信号伝達機能を有する論理回路部分11と、ノイズ抑制機能を有する容量部分10とを、互いに並置しかつ前記周辺セルに設けられたVDD配線4a部分とGND配線4b部分との間に接続して設け、しかもVDD配線4a領域およびGND配線4b領域ならびにこれらの配線4a、4b領域間に位置させたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル1部においてノイズ発生源の至近箇所で簡潔な構成

14

により適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0051】また、周辺セル1の容量部分として、pウエル19に形成されたn型半導体領域15と、このn型半導体領域15に誘電体酸化膜20を介して電気的に結合するゲート電極14とにより構成されるNチャネルMOSトランジスタのゲート電極14をVDD配線4a部分に接続し、ソース/ドレインをGND配線4b部分に接続したものを使用したので、周辺セル1の容量部分10を簡潔な構成で適切かつ容易に設けることができる。

【0052】そして、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セル1を備え、前記入出力信号伝達機能を有する論理回路部分11と、ノイズ抑制機能を有する容量部分10とを、前記周辺セル1に設けた半導体集積回路を製造するものにおいて、p型半導体基板21にフィールド酸化膜36を形成するフィールド工程S25と、nウエル24を形成するnウエル形成工程S26と、pウエル19を形成するpウエル形成工程S27と、ゲート電極14を形成するゲート電極形成工程28と、nソース/ドレイン15を形成するnソース/ドレイン形成工程29と、pソース/ドレイン23を形成するpソース/ドレイン形成工程S30とにより構成され、前記論理回路部分11を構成する半導体領域および電極を形成する論理回路部分形成工程ならびに前記容量部分を構成する誘電体要素および電極を形成する容量部分形成工程とからなるマスク工程を含むとともに、コンタクトホールを形成するコンタクトホール形成工程S31と、第1層の配線を行う第1の配線工程S32と、viaホールを形成するviaホール形成工程S33と、第2層の配線を行う第2の配線工程S34とにより構成され、前記論理回路部分および容量部分の構成要素を電気的に接続する配線工程からなるスライス工程を含み、前記フィールド工程S25、nウエル形成工程S26、pウエル形成工程S27、ゲート電極形成工程S28、nソース/ドレイン形成工程S29およびpソース/ドレイン形成工程S30からなるマスク工程の後に、コンタクトホール形成工程S31、第1の配線工程S32、viaホール形成工程S33および第2の配線工程S34からなるスライス工程を行うようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【0053】実施の形態2、実施の形態1では周辺セル1に使用する電源ノイズ対策用内蔵容量として、NチャネルトランジスタをON状態にて使用する構造のゲート容量を使用しているが、使用する容量の構造はこれに限られるわけではない。

【0054】図12は、実施の形態1において周辺セル1の容量領域10に配置した容量とは異なる構造を有する容量の平面図である。図13および図14に、図12に示す容量のXIII-XIII断面およびXIV-XIV断面図を示

す。

【0055】p型半導体基板21に形成されたn型半導体領域35上にゲート酸化膜20およびゲート電極14を形成されたMOSキャパシタの構成を持っている。ゲート電極14はVDD配線4aに接続されている。また、n型半導体領域35はこの容量においてゲート電極の対向電極として働き、nソース/ドレイン工程において形成されるn型領域15を介してGND配線4bに接続されている。図12に示す容量を実施の形態1の周辺セル1の容量領域10に配置すれば、実施の形態1と同様の効果が得られる。

【0056】この発明による実施の形態2によれば、周辺セル1の容量部分10として、p型半導体基板21に形成されたn型半導体領域35とゲート酸化膜20およびゲート電極14とから構成されるMOSキャパシタからなる容量を設けたので、周辺セル1の容量部分10を簡潔な構成で適切かつ容易に設けることができる。

【0057】実施の形態3、実施の形態1では、電源ノイズ対策のため容量内蔵周辺セル1にNチャネルトランジスタをON状態にて使用する構造のゲート容量を使用している。また、実施の形態2ではp型半導体基板上のn型領域とゲート酸化膜、ゲート電極により構成される容量を使用しているが、使用する容量の構造はこれに限られるわけではない。

【0058】図15は、実施の形態1および実施の形態2において容量を内蔵する周辺セル1の容量領域10に配置した容量とは異なる構造を有する容量を示す平面図である。図16および図17に、図15の容量のXVI-XVI断面およびXVII-XVII断面図を示す。

【0059】この実施の形態3における容量は、p型半導体基板21に形成されたフィールド酸化膜36上のゲート電極37およびゲート電極37を覆うように形成された絶縁膜38そしてそれを更に覆うように形成された電極14よりなり、ゲート電極14はVDD配線4aに接続されている。絶縁膜38は、ゲート電極14とゲート電極37との間に介在して誘電体として機能し、容量が形成されるものである。また、ゲート電極37は絶縁膜38およびゲート電極14にあげられた窓からGND配線4bに接続されている。

【0060】図15に示す容量を、実施の形態1または実施の形態2の周辺セル1の容量領域10に配置すれば、実施の形態1または実施の形態2と同様の効果が得られる。

【0061】この発明による実施の形態3によれば、周辺セル1の容量部分として、第1のゲート電極14と、第2のゲート電極37と、前記第1と第2のゲート電極14、37間に配置されている絶縁膜38とから構成される容量を設けたので、周辺セル1の容量部分10を簡潔な構成で適切かつ容易に設けることができる。

【0062】

【発明の効果】第1の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル部においてノイズ発生源の至近箇所で適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0063】第2の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設けたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル部においてノイズ発生源の至近箇所で簡潔な構成によって適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0064】第3の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設け、しかも前記第1および第2の電源配線領域ならびにこれらの電源配線領域間に位置させたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル部においてノイズ発生源の至近箇所でより簡潔な構成によって適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0065】第4の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設けたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル部においてノイズ発生源の至近箇所で一層簡潔な構成によって適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

17

る。

【0066】第5の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、第1の電源配線部分と、前記第1の電源配線部分に並設された第2の電源配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられた第1の電源配線部分と第2の電源配線部分との間に接続して設け、しかも前記第1および第2の電源配線領域ならびにこれらの電源配線領域間に位置させたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル部においてノイズ発生源の至近箇所より一層簡潔な構成によって適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0067】第6の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、VDD配線部分と、前記VDD配線部分に並設されたGND配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられたVDD配線部分とGND配線部分との間に接続して設けたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル1部においてノイズ発生源の至近箇所より更に簡潔な構成によって適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0068】第7の発明に係る半導体集積回路によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備えた半導体集積回路において、VDD配線部分と、前記VDD配線部分に並設されたGND配線部分とを前記周辺セルに設けるとともに、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、互いに並置しかつ前記周辺セルに設けられたVDD配線部分とGND配線部分との間に接続して設け、しかも前記VDD配線領域およびGND配線領域ならびにこれらの配線領域間に位置させたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル1部においてノイズ発生源の至近箇所より更に一層簡潔な構成によって適切に抑制でき、周辺セルの多様な用途にも柔軟に対応できる半導体集積回路を得ることができる。

【0069】第8の発明に係る半導体集積回路によれば、第1ないし第4の発明に係る半導体集積回路において、前記周辺セルに、前記論理回路部分を介して接続されるパッドおよび入出力端子を設けたので、半導体集積回路の発生ノイズを半導体集積回路内部の周辺セル1部においてノイズ発生源の至近箇所より適切に抑制でき、周

18

辺セルの多様な用途にも柔軟に対応できるとともに、論理回路部分の入出力信号伝達機能に寄与する入出力端子を具備した半導体集積回路を得ることができるものである。

【0070】第9の発明に係る半導体集積回路によれば、前記周辺セルの容量部分として、p型半導体領域内に形成されたn型半導体領域と、このn型半導体領域に誘電体を介して電気的に結合する電極とにより構成される容量を設けたので、周辺セルの容量部分を簡潔な構成で適切かつ容易に設けることができる。

【0071】第10の発明に係る半導体集積回路によれば、前記周辺セルの容量部分として、p型ウェルに形成されたn型半導体領域と、このn型半導体領域に誘電体を介して電気的に結合する電極とにより構成される容量を設けたので、周辺セルの容量部分を簡潔な構成で適切かつ容易に設けることができる。

【0072】第11の発明に係る半導体集積回路によれば、前記周辺セルの容量部分として、NチャネルMOSトランジスタのゲート電極をVDD配線部分に接続し、ソース/ドレインをGND配線部分に接続したものを使用したので、周辺セルの容量部分を簡潔な構成で適切かつ容易に設けることができる。

【0073】第12の発明に係る半導体集積回路によれば、前記周辺セルの容量部分として、p型半導体基板に形成されたn型半導体領域とゲート酸化膜およびゲート電極とから構成されるMOSキャパシタからなる容量を設けたので、周辺セルの容量部分を簡潔な構成で適切かつ容易に設けることができる。

【0074】第13の発明に係る半導体集積回路によれば、前記周辺セルの容量部分として、第1のゲート電極と、第2のゲート電極と、前記第1と第2のゲート電極間に配置されている絶縁膜とから構成される容量を設けたので、周辺セルの容量部分を簡潔な構成で適切かつ容易に設けることができる。

【0075】第14の発明に係る半導体集積回路の製造方法によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、前記論理回路部分を構成する半導体領域および電極を形成する工程と、前記容量部分を構成する誘電体要素および電極を形成する工程と、前記論理回路部分および容量部分の構成要素を電気的に接続する配線工程とを含むようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【0076】第15の発明に係る半導体集積回路の製造方法によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を

10

20

30

40

50

19

有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、前記論理回路部分を構成する半導体領域および電極を形成する論理回路部分形成工程と、前記容量部分を構成する誘電体要素および電極を形成する容量部分形成工程とを含み、前記論理回路部分形成工程および容量部分形成工程の後に、前記論理回路部分および容量部分の構成要素を電気的に接続する配線工程を行うようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【0077】第16の発明に係る半導体集積回路の製造方法によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース/ドレインを形成するnソース/ドレイン形成工程と、pソース/ドレインを形成するpソース/ドレイン形成工程とを含むとともに、前記nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース/ドレイン形成工程およびpソース/ドレイン形成工程により形成される各要素を電気的に接続する配線工程を含むようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【0078】第17の発明に係る半導体集積回路の製造方法によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース/ドレインを形成するnソース/ドレイン形成工程と、pソース/ドレインを形成するpソース/ドレイン形成工程とを含むとともに、前記nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース/ドレイン形成工程およびpソース/ドレイン形成工程により形成される各要素を電気的に接続する配線工程を含み、前記nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース/ドレイン形成工程およびpソース/ドレイン形成工程の後に、前記配線工程を行うようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【0079】第18の発明に係る半導体集積回路の製造

20

方法によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース/ドレインを形成するnソース/ドレイン形成工程と、pソース/ドレインを形成するpソース/ドレイン形成工程とを含むとともに、コンタクトホールを形成するコンタクトホール形成工程と、第1層の配線を行う第1の配線工程と、viaホールを形成するviaホール形成工程と、第2層の配線を行う第2の配線工程とを含むようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【0080】第19の発明に係る半導体集積回路の製造方法によれば、半導体集積回路外部と内部論理回路との入出力信号の伝達を行う周辺セルを備え、前記入出力信号伝達機能を有する論理回路部分と、ノイズ抑制機能を有する容量部分とを、前記周辺セルに設けた半導体集積回路を製造するものにおいて、p型半導体基板にフィールド酸化膜を形成するフィールド工程と、nウエルを形成するnウエル形成工程と、pウエルを形成するpウエル形成工程と、ゲート電極を形成するゲート電極形成工程と、nソース/ドレインを形成するnソース/ドレイン形成工程と、pソース/ドレインを形成するpソース/ドレイン形成工程とを含むとともに、コンタクトホールを形成するコンタクトホール形成工程と、第1層の配線を行う第1の配線工程と、viaホールを形成するviaホール形成工程と、第2層の配線を行う第2の配線工程とを含み、前記フィールド工程、nウエル形成工程、pウエル形成工程、ゲート電極形成工程、nソース/ドレイン形成工程およびpソース/ドレイン形成工程の後に、コンタクトホール形成工程、第1の配線工程、viaホール形成工程および第2の配線工程を行うようにしたので、周辺セル1の多様な用途に応じて柔軟に対応できる半導体集積回路の製造方法を得ることができる。

【図面の簡単な説明】

【図1】 この発明の一実施形態である半導体集積回路の全体構成図である。

【図2】 図1の半導体集積回路に配置されているこの発明の一実施形態である半導体集積回路外部との入出力回路および容量を内蔵した周辺セルの平面図である。

【図3】 図2の周辺セルの容量領域に配置される容量の平面図である。

【図4】 図3の容量のIV-IV線における断面構造図で

ある。

21

【図 5】 図 3 の容量の V-V 線における断面構造図である。

【図 6】 図 3 の容量の構造を説明する回路図である。

【図 7】 図 2 の周辺セルの周辺セル論理回路領域の平面図である。

【図 8】 図 2 の周辺セルの周辺セル論理回路領域の VI-II-VIII 線における断面構造図である。

【図 9】 図 2 の周辺セルの周辺セル論理回路領域の IX-IX 線における断面構造図である。

【図 10】 半導体集積回路の製造プロセスフロー(マスク工程)の概要である。

【図 11】 半導体集積回路の製造プロセスフロー(スライス工程)の概要である。

【図 12】 この発明による実施の形態 2 を示す図 3 とは異なる構造の容量の平面図である。

【図 13】 図 12 の容量の XIII-XIII 線における断面構造図である。

【図 14】 図 12 の容量の XIV-XIV 線における断面構造図である。

22

\* 【図 15】 この発明による実施の形態 3 を示す図 3、図 12 とは異なる構造の容量の平面図である。

【図 16】 図 15 の容量の XVI-XVI 線における断面構造図である。

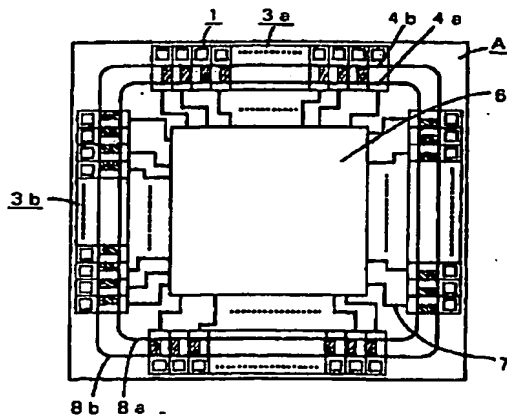
【図 17】 図 15 の容量の XVII-XVII 線における断面構造図である。

【図 18】 従来の半導体集積回路に対するノイズ対策を示す模式図である。

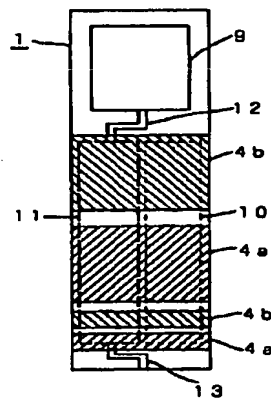
【符号の説明】

10 A 半導体チップ、1 周辺セル、3 a, 3 b 周辺セル列、4 a VDD 配線、4 b GND 配線、6 内部論理回路、10 容量領域、11 周辺セル論理回路領域、12 配線、13 周辺セル上入出力信号端子、14 ゲート電極、15 n 型半導体領域 (n ソース/ドレイン)、16 via ホール、17 コンタクトホール、18 金属配線、20 ゲート酸化膜、21 p 型半導体基板、19, 24 基板 21 上の p ウェル、n ウェル、23 p ソース/ドレイン領域、36 フィールド酸化膜。

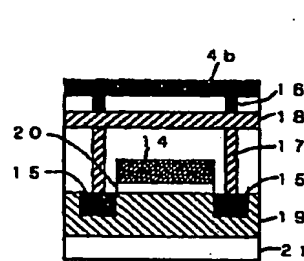
【図 1】



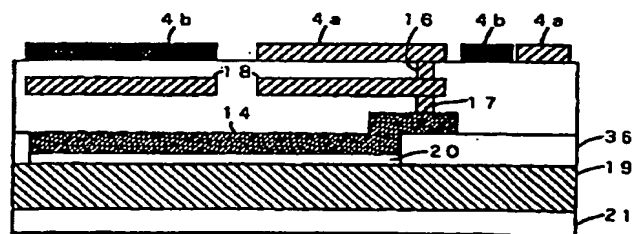
【図 2】



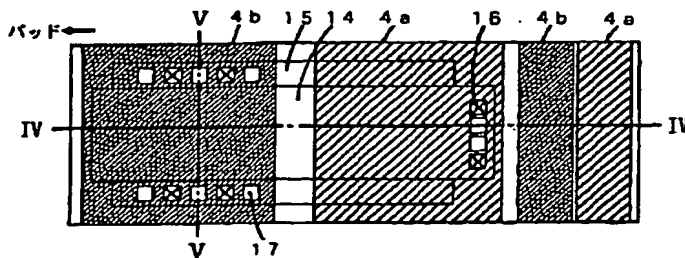
【図 5】



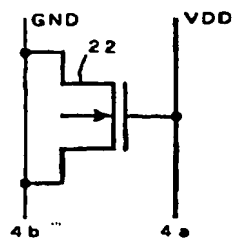
【図 4】



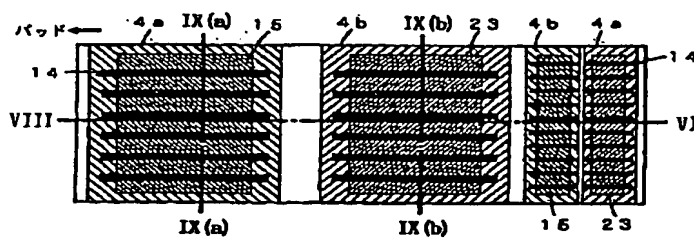
【図 3】



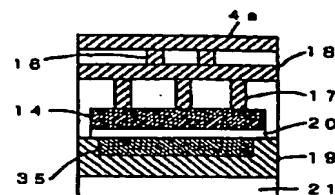
【図6】



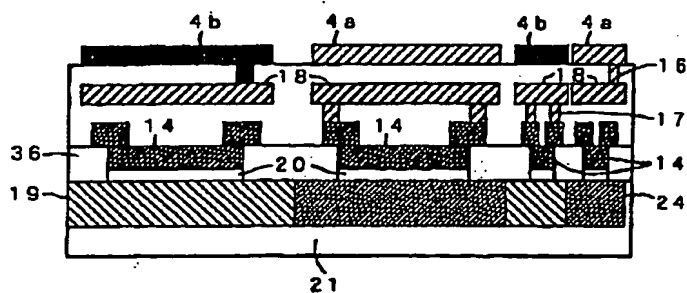
【図7】



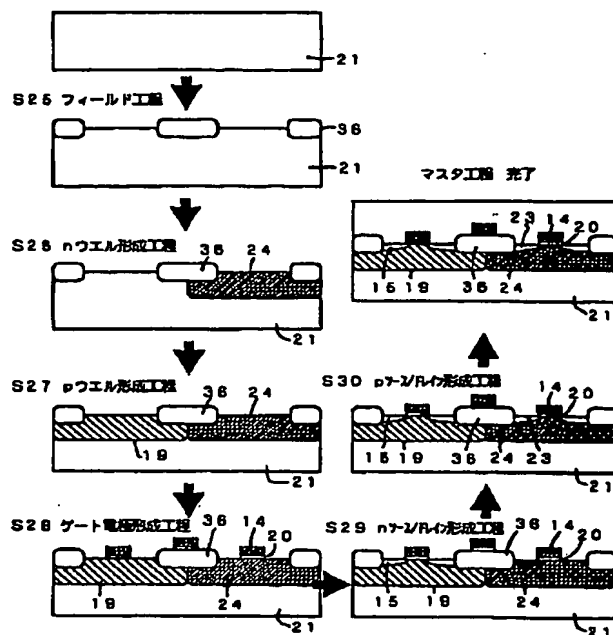
【図14】



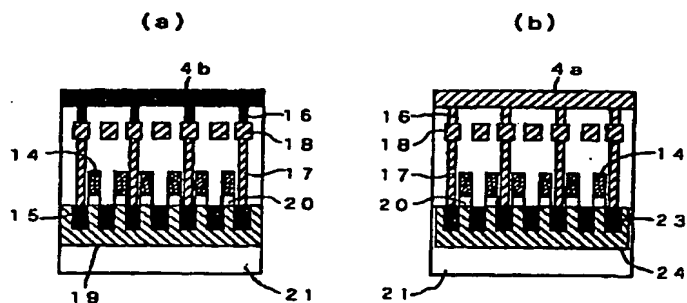
【図8】



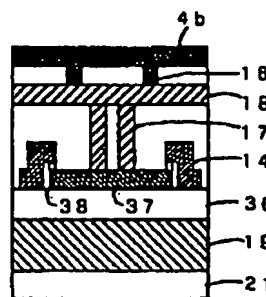
【図10】



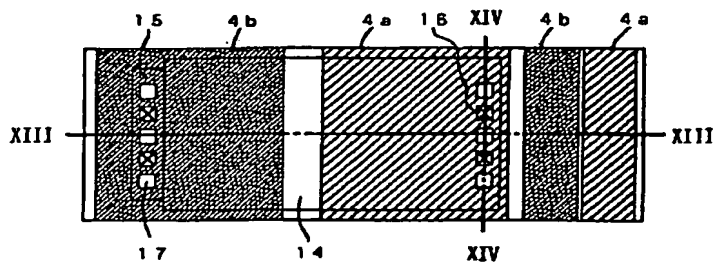
【図9】



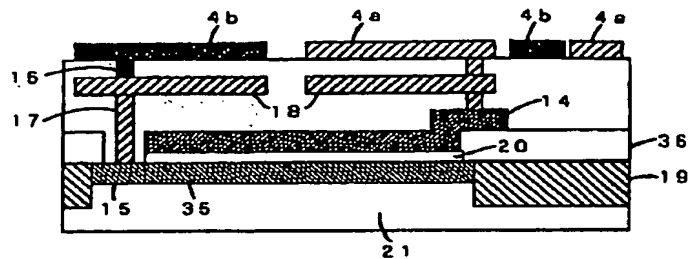
【図17】



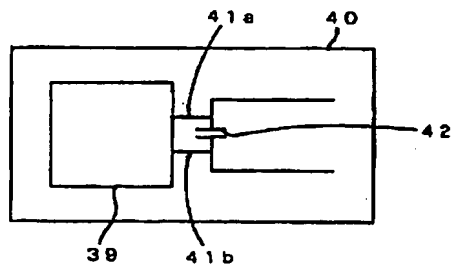
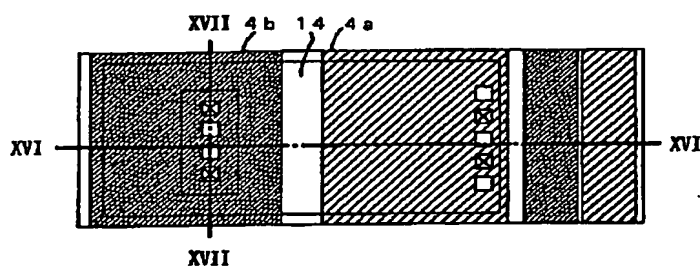
【図12】



【圖 13】



【图 15】



Fターム(参考) 5F038 AC03 AC08 AC14 BH03 BH19  
CA02 CA03 CA05 CA10 CD02  
EZ20  
5F048 AB06 AB07 AC03 BB01 BE03  
BF16 CC05 CC19  
5F064 CC12 CC23 DD05 DD25 DD33  
EE27 EE45 EE52